

Estelle LABONNE

Nationalité Française
27 ans en mai 2007 (née le 15 mai 1980 à Bayonne)

51, av Doyen Louis Weil
38 000 GRENOBLE
Tel: 06 82 83 59 38
Estelle.labonne@free.fr



SITUATION ACTUELLE

Actuellement en post-doc à l'Ecole Polytechnique Fédérale de Lausanne (EPFL) en Suisse, intégrée aux équipes du Professeur Edoardo CHARBON et du Professeur Martinus GIJS, dont les activités de recherche concernent la détection de nano-particules fluorescentes. Mon implication dans leurs équipes consiste à concevoir des imageurs capables de détecter une infime quantité de photons. Dans le cadre de ce post-doc, je participe activement à un projet Européen, « Megaframe » et un projet suisse CCMX « Lab-on-a-chip ».

Parallèlement à ces recherches, je continue à m'impliquer dans des activités d'enseignement, en étant que « Teaching Assistant » à l'EPFL dans un cours de master sur les imageurs que j'ai co-écrit avec le Professeur CHARBON (EPFL) et le Professeur SEITZ (CSEM).

PROJET PROFESSIONNEL

Poursuivre des activités de recherche et d'enseignement dans le milieu universitaire.

- **Recherche :** Appliquer et mettre à profit les connaissances acquises durant mon post-doc (effectué à l'EPFL, Lausanne, Suisse) et ma thèse (effectuée au laboratoire TIMA, Grenoble, France) pour poursuivre une activité de recherche dans le domaine de la conception de capteurs et de circuits intégrés analogiques et numériques.
- **Enseignement :** Poursuivre une activité d'enseignement dans le milieu universitaire: développer des cours, TD et TP en électronique numérique et analogique, en micro-électronique analogique et numérique (initiation et spécialisation).

FORMATION

- 2007 – 2008 : **Post-doc en nano et microélectronique à l'EPFL** (Ecole Polytechnique Fédérale de Lausanne) à Lausanne (Suisse).
- 2006 - 2007: **Poste d'ATER attaché à l'école d'ingénieur ENSERG**, à l'INP Grenoble.
- 2003 - 2007: **Thèse en nano et microélectronique au laboratoire TIMA** (Techniques de l'Informatique et Architecture des ordinateurs) à Grenoble.
- 2002 - 2003: **DEA de Microélectronique** à l'Université Joseph Fourier de Grenoble.
- 2001 - 2002: **DESS Conception de Systèmes Intégrés Numériques et Analogiques** à l'INP Grenoble.
- 1999 - 2001: **Licence et Maîtrise d'EEA** à l'Université de Montpellier II.
- 1998 - 1999: **DUT Mesures physiques** à l'Institut Universitaire de Technologie de Montpellier II.

•2007 – 2008 : Post-doc en conception de capteurs de vision CMOS

Lieu : Groupes de recherche GR-CH et ISIM à l'EPFL (Lausanne, Suisse).

Professeurs responsables de ces équipes de recherche : Prof. Edoardo CHARBON et Prof. Martinus GIJS.

Participation au projet Européen « Megaframe » :

Le projet européen « Megaframe » concerne la conception d'un imageur destiné à l'analyse de la durée de vie de particules fluorescentes issues d'échantillons biologiques. Les principales particularités de ce capteur sont sa vitesse de lecture (une image par microseconde), son mode de détection (des photodiodes à avalanche capable de détecter une infime quantité de photons), la fonctionnalité des pixels (calcul précis de l'instant auquel le photon est détecté) ainsi que l'interface numérique du pixel (entrées et sorties numériques).

Dans le cadre de ce projet, je travaille en collaboration avec l'industriel STMicroelectronics-Edimbourg, l'université UNIL (Edimbourg, Angleterre) et le centre de recherche FBK (Trento, Italie). Notre équipe de recherche, le groupe GR-CH, a en charge la conception du pixel. Pour atteindre ces caractéristiques, nous avons implémenté au sein du pixel une photodiode SPAD (« Single Photon Avalanche Photodiode »), un compteur et un convertisseur temps-tensions numériques (TDC, « Time to Digital Converter »). Afin de garantir en sortie une information ayant une précision de 80 picosecondes, un système de calibration du TDC a été intégré au sein du pixel. La conception de ce pixel, menée à bien par un doctorant (Marek Gersbach, EPFL, 3^{me} année de thèse) et moi-même, a impliqué une collaboration étroite avec l'équipe de ST-Edimbourg, en charge de la conception de l'électronique de commande de cette matrice de pixels. Ce circuit, conçu dans la technologie CMOS 0.12µm de ST Microelectronics, doit être envoyé en fabrication en décembre 2007.

Participation au projet CCMX « Lab-on-a-chip » :

Le centre de compétences interdisciplinaire CCMX (Competence Center for Materials Science and Technology) travaille avec les instituts de recherche, d'industrie et d'économie pour l'échange de recherche et de technologie en science des matériaux. Le projet « Lab-on-a-chip » a pour but la conception d'un circuit capable de détecter des réactions immunitaires (détection de nano particules fluorescentes dirigées de manière magnétique dans un microtube).

Dans le cadre de ce projet, je travaille en collaboration avec le CSEM (Centre Suisse d'Electronique et de Microtechnique) et l'ETHZ (Institut Fédéral Suisse de Technologie de Zurich). L'équipe de recherche ISIM de l'EPFL, avec laquelle je collabore, a en charge la conception de la matrice de bobines, la matrice de pixels ainsi que l'électronique de commande et la caractérisation du lab-on-a-chip (en apposant un micro-tube au dessus des bobines et en y injectant des nano-particules magnétiques fluorescentes). Mon implication concerne la conception de la partie « détection » de ce circuit, composée de photodiodes à avalanche (SPAD) intégrées au centre des bobines régissant le flux des particules.

• 2003 - 2007 : Thèse sur les capteurs de vision CMOS

Lieu : Laboratoire TIMA (INPG) à Grenoble.

Directeur de thèse : Pr Marc RENAUDIN.

Co-directeur de thèse : Gilles SICARD.

Date de la soutenance de thèse : le 10 juillet 2007 à Grenoble.

Titre « **Contributions à la conception de capteurs de vision CMOS à grande dynamique** »

Président : Gérard BOUVIER, laboratoire GIPSA-Lab, Grenoble ;
Rapporteur : Guy CATHEBRAS, laboratoire LIRMM, Montpellier ;
Rapporteur : Michel PAINDAVOINE, université de Bourgogne, Dijon ;
Examinateur : Patrick GARDA, université Pierre et Marie Curie, Paris ;
Directeur de thèse : Marc RENAUDIN, laboratoire TIMA, Grenoble ;
Co-directeur de thèse : Gilles SICARD, laboratoire TIMA, Grenoble ;
Invité : Patrick VILLARD, CEA-leti, Grenoble.

Participation à un projet Européen MEDEA + « PICS » : Dans le cadre de ce projet, j'ai travaillé en collaboration avec l'industriel ATMEL. Le but de ce projet, dédié à la sécurité routière, était la conception d'un capteur de vision CMOS à grande dynamique et à capture instantanée (« global shutter »). Le laboratoire TIMA avait en charge la conception du pixel, et l'industriel ATMEL avait en charge la conception du circuit de traitement d'image dédié. Nous avons travaillé en commun, dans un premier temps

pour fixer les spécifications du capteur et du pixel, puis dans un deuxième temps, pour concevoir un test chip dans une technologie CMOS 0.18 μ m d'ATMEL puis pour tester et choisir le pixel optimum.

Par rapport aux capteurs de vision CMOS déjà existants, les spécifications de ce projet ont nécessité l'optimisation de la dynamique de fonctionnement, l'implémentation d'un mode de capture d'image instantanée et une réduction du bruit. L'association inédite de ces caractéristiques a nécessité des choix innovants dans l'architecture du pixel. L'architecture que j'ai développée a été implémentée et testée. Elle est fonctionnelle et a donné lieu à des publications internationales.

Recherche de nouvelles implémentations de pixels à grande dynamique : j'ai effectué des recherches sur les capteurs de vision à grande dynamique, notamment les capteurs présentant une architecture à compresseur logarithmique. Ce type d'architecture offre une possibilité de grande dynamique, mais implique un fort bruit spatial fixe (FPN). J'ai orienté ma recherche dans la réduction de ce type de bruit. Je me suis aussi intéressée à une autre caractéristique des capteurs de vision : **l'adaptation aux conditions lumineuses**. Dans le cadre de ces recherches, j'ai conçu et développé un circuit de test, dans une technologie CMOS standard 0.35 μ m d'AMS, incluant quatre matrices de pixels différents :

- une matrice de pixel à intégration standard servant de référence ;
- une matrice de pixels à temps d'intégration variable ;
- une matrice de pixels logarithmiques avec une nouvelle compensation du FPN ;
- un capteur incluant des pixels logarithmiques, une adaptation aux conditions lumineuses et une conversion analogique - numérique distribuée tout au long de la chaîne d'acquisition.

Cette thèse m'a aussi permis d'aborder **l'environnement de test**. Afin d'observer les performances de ce circuit, j'ai conçu et développé un environnement de test (carte de test et banc de test). Ces travaux ont été mis en valeur dans des publications internationales.

• **2004 : « Etude sur la réduction de courant de fuite par les méthodes de Back Biasing et d'adaptation de la tension d'alimentation »**

Lieu : Laboratoire TIMA à Grenoble.

Responsable : Gilles SICARD.

Cette étude avait pour but d'évaluer l'effet des courants de fuite dans les circuits numériques au fur et à mesure de la réduction de taille des composants. Ce travail a aussi permis d'évaluer l'impact de différentes méthodes de réduction de courants de fuite, telles que la méthode de polarisation substrat (« Back Biasing ») et celle de l'adaptation de la tension d'alimentation. Cette étude a été réalisée pour trois technologies différentes de ST Microelectronics (65nm, 90nm et 120nm). Les résultats ont été publiés dans un rapport de recherche du laboratoire TIMA.

• **2003 : Stage de DEA (6 mois) « Capteur CMOS à grande dynamique de fonctionnement »**

Lieu : Laboratoire TIMA à Grenoble.

Responsable : Gilles SICARD.

Un des objectifs de ce stage était de concevoir un capteur de vision à grande dynamique de fonctionnement. Une deuxième caractéristique de ce capteur était l'implémentation d'un pixel à sorties numériques. En effet, afin d'augmenter la robustesse du signal de sortie et surtout, à terme, de pouvoir utiliser cette matrice de pixels en série avec le convertisseur analogique-numérique asynchrone développé par l'équipe, la sortie de chaque pixel s'effectue sur deux fils, deux tensions binaires différentielles V+ et V-. Ce travail a été mis en valeur dans une publication nationale.

• **2002 : Stage de DESS (6 mois) « Développement d'un régulateur de tension Low Drop Out »**

Lieu : ST Microelectronics à Grenoble.

Responsable : Christophe BERNARD.

J'ai travaillé au sein de l'équipe « Power Management ». Le but de ce stage était de concevoir et développer un régulateur de tension destiné à gérer la tension issue des batteries des téléphones portables. Ce régulateur devait respecter des contraintes sévères de stabilité, de rendement, de réjection d'alimentation, de consommation et de régulation de lignes et de charge. Ce stage a abouti à la conception d'un régulateur Low Drop Out en technologie 0.12 μ m.

PUBLICATIONS

- Congrès internationaux avec comités de Lecture et proceedings :
 - E. Labonne, G. Sicard, M. Renaudin
« **An on-pixel FPN reduction method for a high dynamic range CMOS imager** »
ESSCIRC 2007, 10-14 septembre 2007, Munich, Allemagne.
 - E. Labonne, G. Sicard, M. Renaudin
« **A 100dB dynamic range CMOS image sensor with global shutter**»
IEEE ICECS 2006, 10-13 décembre 2006, Nice, France.
 - E. Labonne, G. Sicard, M. Renaudin
« **A 120dB CMOS Imager with a Light Adaptive System and Digital Outputs**»
IEEE PRIME 2006, 12-15 juin 2006, Otranto, Italie.
 - E. Labonne, G. Sicard, M. Renaudin
« **A 120dB dynamic range CMOS image sensor with onchip FPN reduction method**»
DCIS 2006, 22-24 novembre 2006, Barcelona, Espagne.
- Congrès nationaux avec comité de lecture :
 - E. Labonne, G. Sicard, M. Renaudin
« **Capteur de vision CMOS à grande dynamique et adapté aux conditions lumineuses** »
Proceedings READ 2005, juin 2005, Evry, France.
- Workshop international :
 - E. Labonne, G. Sicard, M. Renaudin
« **A High Dynamic Range CMOS Imager with a Light Adaptive System and Digital Outputs**»
Workshop “Image sensors analog and digital on-chip processing”, novembre 2007, Toulouse, France.
- Rapport de recherche :
 - E. Labonne, G. Sicard, M. Renaudin
« **Dynamic Voltage Scaling and Adaptive Body Biasing Study for Asynchronous Design** »
TIMA Research report, 2004, ISBN: TIMA-RR--04/06-01--FR.

ENSEIGNEMENT

• Tableau récapitulatif des enseignements effectués

Année	Statut	Nombre d'heures d'enseignements
2007-2008	Teaching assistant	36h equivalent TD
2006-2007	ATER	186h equivalent TD
2005-2006	Vacataire	63h equivalent TD
2004-2005	Vacataire	70h equivalent TD
2003-2004	Vacataire	63h equivalent TD

• Année universitaire 2007-2008 (poste de « Teaching Assistant » à l'EPFL):

Participation à l'écriture d'un cours de master sur les imageurs (« Solid-State Imaging : Techniques and Architectures », 20h équivalent TD) ;
Création et mise à jour d'un site web dédié à ce cours (http://aqua.epfl.ch/IMG_07/index.html);
Création et correction des TD (8h) ;
Création et encadrement du projet de fin de semestre (8h équivalent TD).

•**Année universitaire 2006-2007 (poste d'ATER attaché à l'école d'ingénieur ENSERG, à l'INP Grenoble):**

Cours de systèmes numériques / Formation continue INPG

Contenu : Introduction aux concepts numériques, codage et manipulations des données binaires, fonctionnement des circuits numériques et des portes en CMOS, conception de circuits combinatoires, de circuits séquentiels et de circuits mémoires ;

Durée : 12h équivalent TD ;

Cours de Langages de Description de Matériel et Synthèse

Contenu : Rappel sur la conception logique, introduction aux langages pour décrire le matériel, introduction au langage VHDL, principe de spécification et modélisation des circuits, principe de synthèse des systèmes matériels, la synthèse logique, exemples de codage en VHDL de circuits combinatoires, exemples de codage en VHDL de circuits séquentiels, Synthèse ;

Durée : 12h équivalent TD ;

TD d'architecture des ordinateurs :

Contenu : Initiation à la programmation en assembleur sur un micro contrôleur Motorola (68HC12) sur simulateur puis sur maquette ;

Durée : 16h équivalent TD ;

TP de conception de circuits intégrés / 3^{ème} année d'écoles d'ingénieurs ENSPG / TELECOM/CSINA

Contenu : conception d'une cellule numérique AND3 en technologie AMS 0.35µm (méthodologie de conception, saisie de schéma hiérarchique, simulation, dessin au micron, vérification de dessin et simulation post-layout avec les outils Analog Artist et Virtuoso de Cadence) ;

Durée : 22h équivalent TD ;

TP de VHDL et de prototypage rapide / 2^{ème} année d'école d'ingénieur ENSERG

Contenu : Conception d'un filtre numérique à réponse impulsionnelle finie, description VHDL de ce filtre (méthodologie de conception, implémentation de la machine à état de ce filtre à partir des chronogrammes de fonctionnement, programmation VHDL, simulation et test de ces programmes, synthèse de la description VHDL avec Leonardo de Mentor Graphics, placement - routage avec Alliance de Xilinx, simulation après placement - routage, implémentation sur FPGA, programmation de la carte Xilinx) ;

Durée : 18h équivalent TD ;

TP de conception de circuits numériques VLSI / 2^{ème} année d'école d'ingénieur ENSERG

Contenu : Conception d'un réveil numérique : analyse du cahier des charge, écriture d'une spécification simulable en verilog, conception d'un environnement de simulation et test de cette description avec l'outil Modelsim, synthèse de cette description avec Design Vision de Synopsys, synthèse générique puis synthèse avec une projection technologique, placement - routage avec SOC Encounter de Cadence,

Durée : 18h équivalent TD ;

TP d'électronique / 1^{ère} année d'école d'ingénieur ENSERG

Contenu : Prise en main des appareils de mesures, analogiques et numériques (oscilloscope, voltmètre, ampèremètre, table traçante, sonde), pont de mesure d'impédances en basse fréquence, étude des caractéristiques des transistors MOS, étude des amplificateurs à transistors, études de portes logiques élémentaires, de circuits combinatoires et séquentiels ;

Durée : 40h équivalent TD ;

Atelier de conception de circuits numériques

Contenu : Différents projets sur lesquels les élèves travaillaient en binômes : à partir d'une spécification, les élèves devaient concevoir un circuit numérique soit en ASIC soit sur FPGA (spécifications, architecture du circuit, description VHDL et test, puis synthèse).

Durée : 48h équivalent TD ;

• **Année universitaire 2005-2006:**

TP de VHDL et de prototypage rapide / 2^{ème} année d'école d'ingénieur ENSERG

Contenu : idem que en 2006-2007 ;

Durée : 24h équivalent TD ;

TP de conception de circuits intégrés / 3^{ème} année d'ingénieurs ENSPG

Contenu : idem que en 2006-2007 ;

Durée : 9h équivalent TD ;

TP d'initiation à la conception de circuit intégrés / Master1 EEATS (IUP GE 3)

Contenu : conception d'un filtre numérique en technologie AMS 0.35µm (méthodologie de conception, saisie de schéma hiérarchique, simulation, dessin au micron, vérification de dessin et simulation post-layout avec les outils Analog Artist et Virtuoso de Cadence) ;

Durée : 12h équivalent TD ;

TD d'électronique numérique / Licence 2, IUP GE 1

Contenu TD: Apprentissage de l'électronique numérique (circuits combinatoires, bascules, circuits séquentiels, compteurs...)

Durée: 18h équivalent TD ;

• **Année universitaire 2004-2005 :**

TP d'électronique numérique / Licence 2 - IUP GE 1

Contenu: Apprentissage de la manipulation de matériel électronique (générateurs, oscilloscope), méthodologie de travail et montages électroniques simples permettant la mise en pratique des cours.

Durée: 18h équivalent TD ;

TP de conception de circuits intégrés / Master 2 Conception de Systèmes Intégrés Numériques et Analogiques (CSINA)

Contenu: conception et optimisation d'une cellule numérique INV, AND3 et d'un additionneur complet en technologie AMS 0.35µm (méthodologie de conception, saisie de schéma hiérarchique, simulation, dessin au micron, vérification de dessin et simulation post-layout avec les outils Analog Artist et Virtuoso de Cadence) ;

Durée: 15h équivalent TD ;

TP de programmation d'un FPGA / Licence 3

Contenu: Réalisation d'un fréquencemètre en utilisant le logiciel MAX+II et en respectant une méthodologie de conception (méthodologie de conception, description fonctionnelle d'un système, simulation, compilation, simulation post-placement, programmation du FPGA) ;

Durée: 7h équivalent TD ;

TP Conception et modélisation VHDL d'un automate contrôleur d'ascenseur / Master 2 CSINA

Contenu : Description d'un contrôleur d'ascenseur de manière comportementale (machine à état, puis programmation VHDL), modélisation de l'environnement, vérification par simulations puis par preuve formelle et synthèse (outils Synopsys).

Durée : 30h équivalent TD ;

- **Année universitaire 2003-2004 :**

- TP de conception de circuits intégrés / Master 2 CSINA**

- Contenu: idem que en 2004-2005

- Durée: 15h équivalent TD ;

- TP de conception de circuits intégrés / Master 2 MNE**

- Contenu : conception d'une cellule numérique AND3 en technologie AMS 0.35µm (méthodologie de conception, saisie de schéma hiérarchique, simulation, dessin au micron, vérification de dessin et simulation post-layout avec les outils Analog Artist et Virtuoso de Cadence) ;

- Durée : 6h équivalent TD ;

- TP de conception de circuits intégrés / Master 1 EEATS, IUP GE 3**

- Contenu : conception d'un filtre numérique programmable (méthodologie de conception, saisie de schéma hiérarchique, simulation, dessin au micron, vérification de dessin et simulation post-layout avec les outils Analog Artist et Virtuoso de Cadence) ;

- Durée : 12h équivalent TD ;

- TP de conception d'un CAN flash 6bits / Master 2 CSINA**

- Contenu : Conception d'un CAN flash en technologie AMS 0.35µm, de la partie analogique (méthodologie de conception, étude théorique, saisie de schéma hiérarchique, simulation et optimisation, dessin au micron, vérification de dessin et simulation post-layout avec les outils Analog Artist et Virtuoso de Cadence), à la partie numérique (conception de l'encodeur) au placement routage de l'ensemble analogique - numérique avec l'outil Silicon Ensemble de Cadence ;

- Durée : 30h équivalent TD ;

AUTRES EXPERIENCES

- **Participation à des comités de lecture** (relecture de papiers en vue de leur admission aux conférences ICECS et JNRDM)

- **Encadrement de stagiaires:**

- 2007 : Damien OLLIVE (Master 1 EEATS) « Conception d'une carte de test pour capteurs de vision CMOS » ;

- 2007 : Hieu TRINH VU (Master 1 EEATS) « Conception d'une carte de test pour capteurs de vision CMOS » ;

- 2006 : Gaëlle REPELLIN (2^{ème} année INPG-ENSERG) « Mise en place d'un environnement de visualisation sur PC pour le test de capteurs de vision CMOS » ;

- 2006 : Vincent BIZOUERNE (2^{ème} année INPG-ENSERG) « Mise au point d'un environnement de test pour capteurs de vision CMOS » ;

- septembre 2005 : **participation à l'organisation de la conférence internationale ESSCIRC-ESSDERC 2005** ayant eu lieu à Grenoble (aide à la gestion du matériel informatique de la conférence, gestions des mises à jours des présentations, mise en place des présentations et équipement des orateurs d'un micro-cravate, aide à l'encadrement des sorties extra - conférences);

- 2005 : **Mise en place et organisation d'un tournoi sportif** (« 1er Trophée Sport ») dans le cadre de l'association ATESE, l'association des doctorants de l'école doctorale EEATS.

- 2001 : **Elaboration d'un dossier de qualité en vue d'une certification ISO 9001** et mise en place d'un logiciel de gestion de production durant un stage de 3 mois à TMI-ORION (entreprise de conception de capteurs électroniques destinés aux marchés agroalimentaire et hospitalier) ;

- 1999-2000: **Participation à la construction d'un robot** au sein d'une équipe d'étudiants pour la compétition nationale E=M6, conception d'une carte mettant en œuvre un micro-contrôleur pour commander le déplacement d'un petit module (homologation du robot et combats);

- 1999: Stage de 3 mois effectué dans le **laboratoire de micro-électronique de l'Université de NEWI en Angleterre (Wrexham)** conception d'un boîtier afficheur de température;
- 1998: **Réalisation d'études préalables de liaisons hertziennes** avec essais sur le terrain durant un stage de 6 semaines à France Télécom au sein de l'Unité Hertzienne de Montpellier.

AUTRES COMPETENCES

- **Maîtrise des Outils de CAO :** Environnement Cadence (Analog Artist, Virtuoso, SocEncounter..), Mentor (Leonardo, Modelsim), Synopsys (Design Vision) ;
- **Langue :** anglais scientifique (rédaction de publications, collaborations internationales, participation à des conférences internationales);

CENTRES D'INTERET

- **Sports:** Sport de nature (randonnées sportives, randonnées en raquette, course d'orientation, VTT), badminton, natation ;
- **Nature :** bonnes notions d'entomologie et de floristique.